

5 / 11

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150882
 (43)Date of publication of application : 30.05.2000

(51)Int.Cl. H01L 29/78
 H01L 21/28
 H01L 21/8238
 H01L 27/092
 H01L 29/43

(21)Application number : 11-242208 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 27.08.1999 (72)Inventor : MIZUSHIMA ICHIRO
 TAKAYANAGI MARIKO

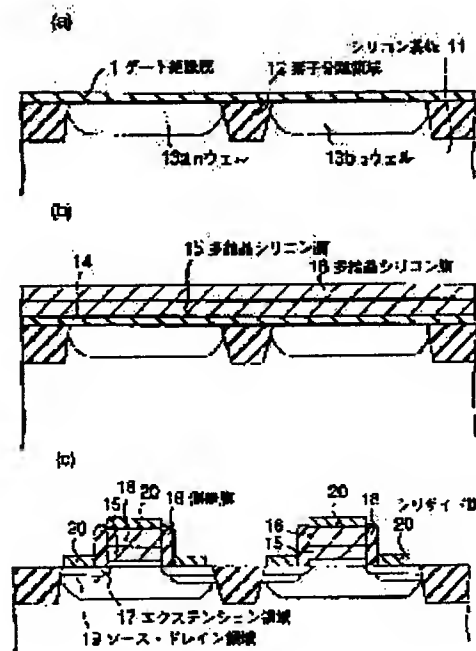
(30)Priority
 Priority number : 10265793 Priority date : 04.09.1996 Priority country : JP

(54) MIS TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the depletion of a gate electrode or channeling of impurities and prevent the degradation of high-frequency characteristics or an increase in parasitic resistance during making of gate electrode in the case where a polycrystalline silicon is used for gate electrode.

SOLUTION: In an MIS type semiconductor device in which a polycrystalline silicon film is used for a gate electrode, the average particle size of polycrystalline silicon particle in the lower area 14 of the polycrystalline silicon film is larger than that in the upper area 15 thereof, and the polycrystalline silicon film has no peak of oxygen concentration and nitrogen concentration in the film thicknesswise direction.



LEGAL STATUS

[Date of request for examination]

09.06.2004

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-150882
(P2000-150882A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) IntCl ⁷	識別記号	F I	テラード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G
21/28	3 0 1	21/28	3 0 1 A
21/8238		27/08	3 2 1 D
27/092		29/46	A
29/43			

審査請求 未請求 請求項の数13 O L (全 18 頁)

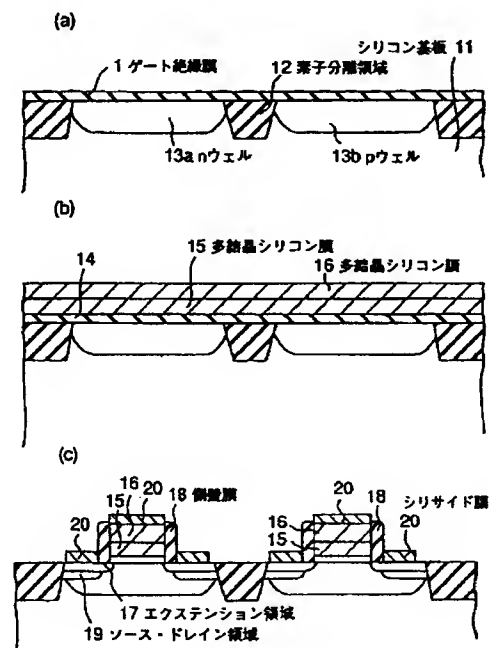
(21) 出願番号	特願平11-242208	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成11年8月27日 (1999.8.27)	(72) 発明者	水島 一郎 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
(31) 優先権主張番号	特願平10-265793	(72) 発明者	高柳 万里子 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
(32) 優先日	平成10年9月4日 (1998.9.4)	(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 M I S型半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート電極に多結晶シリコンを用いた場合に、ゲート電極の空乏化や不純物のチャネリングを抑制するとともに、高周波特性の劣化やゲート電極加工時の問題を解決する。

【解決手段】 ゲート電極に多結晶シリコン膜を用いたM I S型半導体装置において、多結晶シリコン膜の下部領域14の多結晶シリコン粒の平均的な粒径が多結晶シリコン膜の上部領域15の多結晶シリコン粒の平均的な粒径よりも大きく、かつ膜厚方向において多結晶シリコン膜中に酸素濃度及び窒素濃度のピークが存在しない。



【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられ、多結晶シリコン膜からなるゲート電極とを具備してなり、
前記多結晶シリコン膜の下側の部分は上側の部分に比べて平均粒径が大きく、かつ前記多結晶シリコン膜中にはその膜厚方向において酸素濃度のピークが存在しないことを特徴とするMIS型半導体装置。

【請求項2】前記多結晶シリコン膜は実質的に酸素を含んでいないことを特徴とする請求項1に記載のMIS型半導体装置。

【請求項3】前記多結晶シリコン膜中の膜厚方向において窒素濃度のピークが存在しないことを特徴とする請求項1に記載のMIS型半導体装置。

【請求項4】前記多結晶シリコン膜は実質的に窒素を含んでいないことを特徴とする請求項3に記載のMIS型半導体装置。

【請求項5】前記多結晶シリコン膜の全体において結晶配向性がランダムであることを特徴とする請求項1に記載のMIS型半導体装置。

【請求項6】半導体基板と、
前記半導体基板上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられ、多結晶シリコン膜からなるゲート電極とを具備してなり、
前記多結晶シリコン膜の下側の部分は上側の部分に比べて平均粒径が大きく、かつ前記多結晶シリコン膜の平均粒径が変化する領域が、前記ゲート電極と前記ゲート絶縁膜との界面から1nm以上離れていることを特徴とするMIS型半導体装置。

【請求項7】前記多結晶シリコン膜はイオン注入により不純物が導入され、前記不純物の投影飛程を R_p 、前記多結晶シリコン膜の総膜厚を X_T 、前記ゲート電極のチャンネル長方向の寸法を L_g 、前記ゲート多結晶シリコン膜の前記上側の部分の厚さを X_L 、前記下側の部分の厚さを X_S 、前記下側の部分の平均粒径を R_L 、前記上側の部分の平均粒径を R_S とした場合に、

$$3.5R_p + 1\text{nm} \leq X_T \leq 1.4L_g$$

$$X_T = X_S + X_L$$

$$X_L \geq 1\text{nm}$$

$$X_S \geq R_p$$

$$R_L \geq 1\mu\text{m}$$

$$R_S \leq (1/3)L_g$$

を満たすことを特徴とする請求項8に記載のMIS型半導体装置。

【請求項8】半導体基板と、

前記半導体基板上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられ、多結晶シリコン膜からなるゲート電極と、
前記ゲート電極を挟むように前記半導体基板の表面に形

成された2つのソース・ドレイン領域とを具備し、
前記多結晶シリコン膜の下側の部分は上側の部分に比べて平均粒径が大きく、かつ前記多結晶シリコン膜の平均粒径が変化する領域の前記多結晶シリコン膜の上面からの距離が、前記ソース・ドレイン領域の不純物濃度のピーク位置の前記半導体基板の表面からの距離よりも大きいことを特徴とするMIS型半導体装置。

【請求項9】前記多結晶シリコン膜は不純物を含むことを特徴とする請求項1、請求項6及び請求項8のいずれか1項に記載のMIS型半導体装置。

【請求項10】前記ゲート電極はCMOS構造中のゲート電極であることを特徴とする請求項1、請求項6及び請求項8のいずれか1項に記載のMIS型半導体装置。

【請求項11】半導体基板上にゲート絶縁膜を形成する工程と、
前記半導体基板を大気に晒さず、かつ成膜過程の前半と後半とで成膜条件を変えて、前記ゲート絶縁膜上に多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜を加工して、ゲート電極を形成する工程とを含むことを特徴とするMIS型半導体装置の製造方法。

【請求項12】前記成膜過程の前半の成膜条件は、前記成膜過程の後半の成膜条件に比べて、成膜圧力の値、成膜速度の値及び堆積速度の値のうちの少なくとも1つの値が大きいことを特徴とする請求項11に記載のMIS型半導体装置の製造方法。

【請求項13】前記成膜過程の前半の成膜条件は、前記ゲート絶縁膜上にアモルファスシリコン膜が形成され、その後前記アモルファスシリコン膜が結晶化される条件であり、前記成膜過程の後半の成膜条件は、はじめから多結晶シリコン膜が形成される条件であることを特徴とする請求項11にMIS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIS型半導体装置及びその製造方法に係わり、特にゲート電極に多結晶シリコンを用いたものに関する。

【0002】

【従来の技術】まず、MOS型集積回路の一般的な製造工程、特にCMOS型集積回路の製造工程について、図23及び図24を用いて説明する。

【0003】まず、図23(a)に示すように、シリコン基板101に素子分離絶縁膜102、nウェル103及びpウェル104を形成する。

【0004】次に図23(b)に示すように、ゲート絶縁膜105を形成した後、全面に多結晶シリコン膜を堆積し、これを光リソグラフィと異方性エッチングにより加工してゲート電極106を形成する。

【0005】一般に、この時形成される多結晶シリコン膜は、上面から見た平均的な粒径が数10nm程度の柱

状多結晶シリコンとなっている。このような柱状多結晶シリコン膜では、図23(b')に示すように、ゲート酸化膜105との界面に粒径の小さな結晶が多数存在し、界面から遠ざかるにしたがって粒径が大きくなっていく。

【0006】次に図24(c)に示すように、ゲート電極106端部の電界集中を防止する等の目的で後酸化膜107を形成し、さらにシリコン基板101の表面に $1 \times 10^{13} \sim 10^{14} / \text{cm}^2$ 台の不純物(nMOSFET領域には As^+ 又は P^+ 、pMOSFET領域には B^+ 又は BF_2^+)をイオン注入により導入し、いわゆるLDD領域108(近年、エクステンション領域と称される場合もある)を形成する。

【0007】その後、図24(d)に示すように、シリコン窒化膜あるいはシリコン酸化膜をCVD法により全面に堆積し、これをエッチバックしてゲート電極106の側壁に側壁絶縁膜109を形成する。

【0008】さらに、nMOSFET領域には As^+ 又は P^+ 、pMOSFET領域には B^+ 又は BF_2^+ をそれぞれ $10^{15} / \text{cm}^2$ 台イオン注入により導入する。このようにして、ソース・ドレイン領域110及びゲート電極106に一括して不純物を導入した後、RTA(Rapid Thermal Anneal)を用いた高温熱処理により、上記不純物を電気的に活性化させる。

【0009】さらに、ソース・ドレイン領域110及びゲート電極106に例えば CoSi_2 膜111を成膜し、ソース・ドレイン領域110及びゲート電極106の低抵抗化を図る。

【0010】その後、通常の層間絶縁膜の形成工程、金属配線の形成工程、パッシベーション膜の形成工程等を経てLSIが完成する(図示せず)。

【0011】しかしながら、上記従来技術を用いてLSIの高集積化・高性能化を行うことを考えると、以下に述べるような不具合が生じる。

【0012】高集積化・高性能化は、ゲートチャネル長を短くすることが基本であるが、単にゲートチャネル長を短くするだけではMOSFETの内部の電界分布が著しく変わってしまい、しきい値電圧の著しい低下(短チャネル効果)やソース・ドレイン間耐圧の低下などの不具合が生じる。

【0013】したがって、実際には、MOSFETの内部の電界分布がほぼ一定になるように、ゲートチャネル長を短くするのに伴って、ゲート絶縁膜を薄くしたり、ソース・ドレイン接合深さを浅くする必要がある。

【0014】浅いソース・ドレイン接合深さは、一般に、イオン注入の加速エネルギーを下げ、かつ後熱工程を必要最小限にして拡散を抑制することにより達成される。不純物の活性化は必須なので、イオン注入後に高温・短時間アニールであるRTAを一般に用いている。ただし、近年、接合深さが浅くなっているため、それに伴

って、RTAの温度は低くなり、RTAの時間は短くなってきている。

【0015】このような状況で、近年大きな問題になっているのは、ゲート電極の空乏化という現象である。この現象は、ゲート電極とゲート酸化膜との界面でエネルギーバンドが曲って、空乏層が伸びた状態(空乏化)になることで生じる。ゲート電極の空乏化は、ゲート酸化膜との界面付近のゲート電極中の電気的に活性な不純物の密度が小さい場合に顕著に起こる現象である。

【0016】ゲート電極の空乏化が生じると、ゲート酸化膜の容量が実効的に小さくなったのと同じ状態、言い換えれば、ゲート酸化膜の膜厚が実効的に厚くなったのと同じ状態になる。

【0017】MOSFETの駆動力は、誘起キャリア濃度とキャリア速度との積で記述される。誘起キャリア濃度は実効的なゲート酸化膜の容量で決まる。したがって、ゲート空乏化が生じることは、誘起キャリア濃度の低下、言い換えれば、MOSFET駆動力の低下に直接的に結びつく。

【0018】ゲート電極の空乏化は、特に、ゲート電極に柱状多結晶シリコン膜を用い、ソース・ドレイン領域及びゲート電極に一括して不純物を導入する場合に起きやすい。それは、接合深さが浅くなることに伴う熱工程の低温化・短時間化によって、ゲート電極中の不純物の活性化が不十分となってきているためである。

【0019】その理由は以下の通りである。ゲート電極は多結晶シリコン膜で形成されているために、ゲート電極中には粒界が存在する。ゲート電極中の不純物は上記粒界で偏析・不活性化する性質がある。この種の偏析・不活性化は低温であるほど顕著に起こる。その結果、熱工程の低温化・短時間化によって、ゲート電極中の不純物の活性化は、ソース・ドレイン領域中の不純物の活性化に比べて、不十分となる。

【0020】さらにまた、単にある温度での活性化率が悪いだけでなく、後工程で600度から800度程度になる工程(例えば、層間絶縁膜の堆積工程)を経ると、結晶粒中で一度活性化していた不純物が結晶粒界へ拡散し、不純物が偏析・不活性化する。

【0021】実際に、層間絶縁膜の堆積工程までで抜き取った場合と最終工程まで行った場合とでは、図25に示すように、空乏化率が大きく変わることが実験的に確かめられている。

【0022】このような偏析・不活性化は、結晶粒の粒径が小さく、結晶粒界の数が多いほど生じ易い。そのため、上述した従来技術のように、ゲート電極として柱状多結晶シリコン膜を用いる場合、ゲート電極のゲート酸化膜との界面付近で粒界が多くなるので、上述した偏析・不活性化の問題は特に起こりやすくなる。

【0023】以上述べてきたことから分かるように、ゲート電極中の不純物の不活性化の問題を解決するために

は、ゲート電極（多結晶シリコン膜）中の結晶粒の粒径を大きくして、ゲート電極中の粒界を減らせば良い。しかしながら、結晶粒の粒径が大きい多結晶シリコン膜（大粒径多結晶シリコン膜）の使用は、以下に示すような新たな問題を生む。

【0024】一般に、大粒径多結晶シリコン膜は、アモルファスシリコン膜を再結晶化して形成する。しかし、この方法だと、図26に示すように、膜の深さ方向に一つの結晶が形成され、個々の面方位（結晶軸方向）が異なったものになる。

【0025】このような個々の面方位が異なったゲート電極（大粒径多結晶シリコン膜）に不純物をイオン注入によって導入する場合、面方位によってチャネリング確率が異なるため、不純物の進入深さが不均一になる。これは、MOSFETのしきい値電圧のばらつきの要因となる。

【0026】また、面方位によってチャネリング確率が異なる結果として、ゲート電極に導入した不純物がシリコン基板へ到達する場合もある。このような場合にはMOSFETのしきい値は極端に低下することになる。

【0027】ところで、シリコンからなるゲート電極として、2重構造のものが知られている（H.Ito et al., "Gate Electrode Microstructure Having Stacked Large-grain Poly-Si with Ultra-thin SiO₂ Interlayer for Reliability in Sub-micrometer CMOS" IEDM 97,p63 5-638）。

【0028】このゲート電極は、ゲート絶縁膜上に、結晶粒径の大きい多結晶シリコン膜（大粒径多結晶シリコン膜）、薄膜絶縁膜（例えば自然酸化膜などの薄い酸化膜）、結晶粒径の小さい多結晶シリコン膜（小粒径多結晶シリコン膜）を順次形成することで得られる。

【0029】大粒径多結晶シリコン膜上に薄膜絶縁膜を介して小粒径多結晶シリコン膜を形成する理由は、小粒径多結晶シリコン膜が下地である大粒径多結晶シリコン膜の結晶性を引き継がないようにするためである。

【0030】

【発明が解決しようとする課題】本発明者らは、上述した従来の2重構造のゲート電極を用いたMOSFETには、以下のような問題があると考えている。上記2重構造のゲート電極は、大粒径多結晶シリコン膜と小粒径多結晶シリコン膜との間に抵抗成分として働く薄膜絶縁膜を持っている。そのため、上記2重構造のゲート電極を用いたMOSFETの高周波特性は劣化する。

【0031】さらに、以下に説明するようにプロセス上の問題もある。上記2重構造のゲート電極は、大粒径多結晶シリコン膜、薄膜絶縁膜、小粒径多結晶シリコン膜を順次形成した後、小粒径多結晶シリコン膜、薄膜絶縁膜、大粒径多結晶シリコン膜を順次エッチングすることで形成する。

【0032】ここで、薄膜絶縁膜のエッチング可能条件

が同時にゲート酸化膜のエッチング可能条件であること、素子の微細化により大粒径多結晶シリコン膜及び小粒径多結晶シリコン膜の膜厚が薄くなっていること、そしてこのような膜厚の薄い大粒径多結晶シリコン膜及び小粒径多結晶シリコン膜に対してのエッチング制御性が現在の技術では十分ではないことから、ゲート電極形成時のエッチングによりシリコン基板もエッチングされてしまう。その結果、寄生抵抗が増大し、MOSFETの特性が劣化する。

10 【0033】本発明は上記従来の課題に対してなされたものであり、その目的とするところは、ゲート電極に多結晶シリコンを用いた場合に、ゲート電極の空乏化や不純物のチャネリングを抑制するとともに、高周波特性の劣化やゲート電極加工時の問題を解決することが可能なMIS型半導体装置及びその製造方法を提供することにある。

【0034】

【課題を解決するための手段】本発明に係るMIS型半導体装置は、半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、多結晶シリコン膜からなるゲート電極とを含み、前記多結晶シリコン膜の下側の部分は上側の部分に比べて平均粒径が大きく、かつ前記多結晶シリコン膜中にはその膜厚方向において酸素濃度のピークが存在しないものである。

【0035】本発明によれば、多結晶シリコン膜の下部領域を大粒径の多結晶シリコンとすることにより、イオン注入の際のチャネリングによるしきい値変動を抑制することができる。とともに、多結晶シリコン膜の上部領域を小粒径の多結晶シリコンとすることにより、結晶粒界での不純物の偏析・不活性化によるゲート電極の空乏化を抑制することができる。

【0036】また、多結晶シリコン膜中に酸素濃度のピークが存在しない、すなわち多結晶シリコンの粒径が変化する領域等に酸化膜が存在しないため、高周波特性が劣化するという問題やゲート電極加工時のエッチングの困難性といった問題を解消することができる。

【0037】ここで、多結晶シリコン粒の平均的な粒径とは、基板に対して平行な面と基板に対して垂直との交線の長さを該交線に存在する結晶粒界の個数で割ったものである。

【0038】また、本発明に係る他のMIS型半導体装置は、半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、多結晶シリコン膜からなるゲート電極とを含み、前記多結晶シリコン膜の下側の部分は上側の部分に比べて平均粒径が大きく、かつ前記多結晶シリコン膜の平均粒径が変化する領域が前記ゲート電極と前記ゲート絶縁膜との界面から1nm以上離れているものである。

【0039】本発明によれば、多結晶シリコン膜の平均

粒径が変化する領域がゲート電極とゲート絶縁膜との界面から1nm以上離れていることにより、ゲート電極の空乏化を効果的に抑制することができる。この点については、さらに実施形態の項で詳述する。

【0040】また、本発明に係る他のMIS型半導体装置は、半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、多結晶シリコン膜からなるゲート電極と、前記ゲート電極を挟むように前記半導体基板の表面に形成された2つのソース・ドレイン領域とを含み、前記多結晶シリコン膜の下側の部分は上側の部分に比べて平均粒径が大きく、かつ前記多結晶シリコン膜の平均粒径が変化する領域の前記多結晶シリコン膜の上面からの距離が、前記ソース・ドレイン領域の不純物濃度のピーク位置の前記半導体基板表面からの距離よりも大きいものである。

【0041】本発明によれば、多結晶シリコン膜の平均粒径が変化する領域の前記多結晶シリコン膜の上面からの距離が、前記ソース・ドレイン領域の不純物濃度のピーク位置の前記半導体基板表面からの距離よりも大きいことにより、不純物のチャネリングの問題を効果的に抑制することができる。この点については、さらに実施形態の項で詳述する。

【0042】本発明に係る半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板を大気に晒さず、かつ成膜過程の前半と後半とで形成方法を変えて、前記ゲート絶縁膜上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜を加工して、ゲート電極を形成する工程とを含むものである。

【0043】本発明によれば、半導体基板を大気に晒さず、かつ成膜過程の前半と後半とで形成方法を変えることで、下側の部分が上側の部分に比べて平均粒径が大きく、かつ膜厚方向において酸素濃度のピークが存在しない多結晶シリコン膜を形成することができる。この点については、さらに実施形態の項で詳述する。

【0044】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0045】（第1の実施形態）まず、図1(a)に示すように、公知のウェル形成法及び素子分離法(STI)により、シリコン基板11の表面にnウェル13a、pウェル13b及び素子分離絶縁膜12を形成した後、ゲート絶縁膜（シリコン酸化膜）14を形成する。

【0046】次にCVD法により厚さ40nmのアンダープのアモルファスシリコン膜を全面に堆積する。原料ガスにはシラン(SiH_4)と水素の混合ガスを用いる。シランの流量は0.5slm、堆積温度は550℃とする。

【0047】次に図1(b)に示すように、シランと水素ガスの混合ガスから水素のみの雰囲気に変え、さらに堆積温度を700℃まで昇温し、上記アモルファスシリ

コン膜を多結晶シリコン膜15に変える。

【0048】次に同図(b)に示すように、堆積温度を700℃としたままでシランを0.9slm流し、多結晶シリコン膜15上に厚さ40nmの多結晶シリコン膜16を堆積する。アモルファスシリコン膜の成膜から多結晶シリコン膜16の成膜までの工程は、同一の真空容器内で真空を破らずに行う。

【0049】このようにして得られた多結晶シリコン膜15、16の結晶状態を調べたところ、図2に模式的に示すように、上部の多結晶シリコン膜16と下部の多結晶シリコン膜15とで結晶の様子が全く異なっていることが判明した。

【0050】アモルファス状態のシリコン膜を多結晶化して得られた多結晶シリコン膜15では結晶粒径が1μm以上の大きさであったのに対し、はじめから多結晶状態のシリコン膜である多結晶シリコン膜16では結晶粒径が（結晶粒内に含まれる双晶なども結晶粒界とみなす）10nm以下の大きさであった。

【0051】次に図1(c)に示すように、多結晶シリコン膜15、16をゲート電極の形状に加工した後、nMOS及びpMOSのそれぞれの領域に対してエクステンション領域17を形成するためのイオン注入を行う。

【0052】次に同図(c)に示すように、ゲート電極15、16の側壁に側壁絶縁膜18を形成する。側壁絶縁膜18は、例えば厚さ5nmのシリコン酸化膜、厚さ40nmのシリコン窒化膜を順次全面に堆積した後、これらの絶縁膜に異方性エッチングを施すことにより形成する。この例では、側壁絶縁膜18に積層絶縁膜を用いたが、単層絶縁膜を用いても良い。

【0053】次にnMOS及びpMOSそれぞれの領域において、ゲート電極15、16の低抵抗化及びソース・ドレイン領域19を形成するための不純物のイオン注入を同時に行う。nMOS領域にはAsを、pMOS領域にはBをそれぞれイオン注入する。イオン注入の条件は、Asに関しては30keV、 $4 \times 10^{15} \text{ cm}^{-2}$ とし、Bに関しては3keV、 $4 \times 10^{15} \text{ cm}^{-2}$ である。イオン注入後の不純物の電気的活性は950℃、10秒のRTAにより行う。

【0054】次にスパッタ法によって厚さ5nmのCo膜、厚さ7nmのTiN膜を順次全面に堆積した後、窒素雰囲気中で500℃、30秒の熱処理を行うことにより、コバルトモノシリサイド(CoSi)膜を形成する。

【0055】次にTiN膜及び未反応のCo膜を除去した後、700℃、30秒の熱処理を行うことにより、同図(c)に示すように、コバルトダイシリサイド(CoSi₂)膜20をゲート電極15、16及びソース・ドレイン領域19上に形成する。その後、周知の方法に従って、層間絶縁膜や金属配線（図示せず）を形成してCMOS構造が完成する。

【0056】上記の方法で作製したトランジスタ(試料1)について、しきい値電圧及びそのばらつきを測定したところ、図3に示すような結果となった。また、空乏化の程度の測定のためにCV測定を行ったところ、図5に示すような結果を得た。

【0057】比較のため、アモルファス状態のシリコン膜を形成し、それを多結晶化することによって得られた多結晶状態の単層シリコン膜をゲート電極として用いた試料2、及びはじめから多結晶状態の単層シリコン膜をゲート電極として用いた試料3についてもそれぞれ同様の測定を行った。これらの測定結果も図3及び図4に載せた。

【0058】図3から、大粒径多結晶シリコン膜及び小粒径多結晶シリコン膜の2層構造のゲート電極を用いた場合(試料1)には、nMOS、pMOSいずれの場合についてもしきい値電圧の平均値が0.3V程度であり、またしきい値のばらつきも小さいことが分かる。

【0059】また、図3から、アモルファス状態のシリコン膜を多結晶化した単層シリコン膜をゲート電極に用いた場合(試料2)には、しきい値電圧の平均値は変わらな
20 いものの、しきい値電圧の低いものも多く存在していることが分かる。

【0060】さらに、図3から、はじめから多結晶状態の単層シリコン膜をゲート電極に用いた場合(試料3)には、しきい値電圧の平均値及びしきい値電圧のばらつきとも、試料1(本発明)の場合と比べて大きな違いがないことが分かる。

【0061】また、図4に示した空乏化率の測定結果から、はじめから多結晶状態の単層シリコン膜をゲート電極に用いた場合(試料3)には、空乏化率が低くなっ
30 ていくことが分かる。

【0062】上記のような、ゲート電極の作製方法の違いによるしきい値電圧や空乏化率の違いは、次のように解釈できる。

【0063】アモルファス状態のシリコン膜を多結晶化して得られた多結晶状態の単層シリコン膜をゲート電極として用いる場合、ゲート電極の低抵抗化及びソース・ドレイン領域の形成のためのイオン注入時には、ゲート電極は結晶粒の大きい多結晶状態の単層シリコン膜とな
40 っている。

【0064】このため、イオン注入時に一部のトランジスタについてはチャネリングが起こり、チャネル領域にも不純物のドーピングがなされてしまう。この結果として、一部のトランジスタについてはしきい値電圧が低くなったと考えられる。

【0065】実際、SIMS分析によりイオン注入直後のB及びAsのデプスプロファイル調べたところ、図5に示したように、本発明と比較して、チャネリングしたイオンの数が多いことが確認された。

【0066】なお、しきい値電圧の低いセルの割合がp

MOSの場合に特に多いのは以下のように考えられる。pMOSでは注入イオン種としてBを使用している。そのため、pMOSでは、イオン注入時に、多結晶状態のシリコン膜のアモルファス化がなされない。その結果、pMOSでは、イオン注入種としてAsを使用したnMOSと比較して、チャネリングしたイオンの割合が多くなったと考えられる。

【0067】また、試料2の空乏化率が低いのは、はじめから多結晶状態のシリコン膜を堆積する場合、膜中の結晶粒径が小さくなり、電気的に不活性なドーパントの割合が多くなるからである。

【0068】このことを確認するために、上記3種の方法でゲート電極を形成した場合について、ホール測定法により多結晶シリコン膜中のキャリア濃度を測定した。その結果を図6に示す。

【0069】図6から、堆積時において既に多結晶となる条件で多結晶シリコン膜を形成する場合に、特にシートキャリア濃度が低いことが分かる。これは、膜全体にわたって結晶粒径が小さく、結晶粒界に偏析したドーパントの割合が高いことによる。この結果として、図4に示したように、試料2で空乏化が特に起こりやすくなる。

【0070】また、上述したような本発明の方法で多結晶シリコン膜を形成した場合に、2層構造を持つように結晶粒径を変化させることができるのは、次のようなメカニズムによると考えられる。

【0071】例えば、G.HarbakeらによるJ.Electrochem. Soc. 131, p. 675 (1984)などに示されているように、一般に、アモルファスシリコン膜を熱処理により結晶化することで、比較的結晶粒の大きい多結晶シリコン膜を形成することができる。

【0072】しかしながら、上記結晶化の後、例えば同一の条件で多結晶シリコン膜を形成すると、下地である先に形成した多結晶シリコン膜の結晶性を引き継いで成長するため、後から形成した多結晶シリコン膜の粒径は下地の多結晶シリコン膜の粒径よりも大きくなってしま
う。したがって、周知の技術では、上部のみが結晶粒径が小さい多結晶シリコン膜を形成することは困難である。

【0073】しかしながら、堆積条件を広く変化させて、堆積される膜の結晶状態を調べたところ、下地の多結晶シリコン膜の結晶性を引き継がないで、その上に結晶粒径が小さい多結晶シリコン膜を形成できる条件が存在することが分かった。

【0074】図7に、単結晶シリコン基板上にシリコン膜を堆積した場合について、堆積条件をいくつか変化したときに、シリコン膜の表面状態がどのように変化するかを調べた結果を示す。

【0075】この実験では、下地として単結晶シリコン基板を用いているため、図8のTEM観察像(図7の

「平滑な表面領域に対応」、図8の理解を容易にするため図11(a)に図8の様子を模式的に示すように、下地の結晶性を引き継いで成長する場合には、シリコン膜の表面は必ず平坦となる。

【0076】しかし、堆積条件によってはシリコン膜の表面が荒れることが分かった。このような場合、どのように結晶が成長しているかを断面TEM法によって調べたところ、図9のTEM観察像(図7の「荒れた表面領域」に対応、図9の理解を容易にするため図11(b)に図9の様子を模式的に示す)に示すように、シリコン膜は結晶粒径の小さい多結晶状態となっており、全くエピタキシャル成長していないことが分かった。

【0077】これは、表面が荒れた状態となる比較的堆積圧力が高い条件(図7参照)では、堆積時に付着した原子が基板表面を二次元的に拡散して、上記原子が下地の結晶性を引き継いで成長することのできるサイトを見つけたよりも早く、次の原子が表面に付着してしまうため、下地の結晶性とは関係なくシリコン膜が成長するからだと考えられる。

【0078】なお、図7に示した結果、図8～図10に示した断面TEM観察による結果は、シリコンの堆積温度が700℃のときのものであるが、当然ながら本発明は上記温度に限定されるものではない。550℃から850℃の温度範囲であれば同様の結果が得られる。堆積温度は650℃から750℃の温度範囲であることが望ましい。

【0079】以上のように、堆積条件によってシリコン膜が下地の結晶性を引き継いだり、引き継がなかったりするという現象を利用することにより、自然酸化膜等の薄膜絶縁膜を形成せずに多結晶シリコン膜を連続的に堆積でき、最終的には上部の粒径のみが小さい多結晶シリコン膜を形成することができる。

【0080】すなわち、本発明では、従来技術で述べたように、大粒径多結晶シリコン膜と小粒径多結晶シリコン膜との間に自然酸化膜などを介在させることによって下地の結晶性を引き継がないようにするのではなく、堆積条件によって下地の結晶性を引き継がないようにするものである。

【0081】また、自然酸化膜などが介在することによる不具合(エッチングの問題等)を回避するために、本実施形態では大粒径多結晶シリコン膜と小粒径多結晶シリコン膜とを大気に晒すことなく連続的に形成している。

【0082】したがって、本実施形態の場合には、大粒径多結晶シリコン膜と小粒径多結晶シリコン膜との間には(もちろん、大粒径多結晶シリコン膜中や小粒径多結晶シリコン膜中にも)、大気に晒されることによって付着する酸素や窒素は介在しないことになる。

【0083】図13は、本発明によって得られた多結晶シリコン膜中の酸素及び窒素濃度の膜厚方向の分布を示

したものである。大粒径多結晶シリコン膜と小粒径多結晶シリコン膜との境界部における酸素濃度及び窒素濃度は、バックグラウンドとして元々膜中に微量存在する酸素濃度及び窒素濃度と同等であり、境界部で酸素及び窒素濃度のピークは観測されなかった。

【0084】また、本発明の方法によって多結晶シリコン膜を成膜した場合の特徴として、次のような点が見出された。

【0085】図12は、図9に示したTEM観察像のうち、界面付近を拡大して模式的に示したものである。多結晶シリコン膜内には成膜方向に対して平行な双晶面が多数存在している。上面からの観察により、この双晶面は[211]方向を成長方向としていることが分かった。

【0086】これは、次のように考えることができる。

【0087】結晶性を引き継がない小粒径多結晶シリコン膜の成膜は、図7に示すように、圧力が高い条件で行われる。言い換えると、原料ガスの過飽和度の高い環境で成膜が行われていることになり、したがって成長速度が速い方が望ましい状況といえる。

【0088】一方、シリコン膜の成膜においては、[211]方向を成長方向とする場合が最も高い成長速度が得られるため、上述したような結晶状態が得られるものと考えられる。

【0089】また、図9に示したTEM観察像の界面に着目すると、図12に模式的に示すように、基板表面に対して約60度の角度で凹凸が生じていることが分かった。

【0090】これは、上述したような双晶面に挟まれた[211]方向への成長が無数の箇所が生じ、それらの各々が成長していく過程で相互に衝突する結果、基板表面上記のような凹凸が形成されるものと考えられる。

【0091】図10に、孤立した多結晶粒が存在する場合を示した(図10の理解を容易にするため、図11(c)に図10の様子を模式的に示す)。

【0092】これは、図7の「部分的に荒れた表面領域」となる成膜条件で多結晶シリコン膜を堆積したときのものであり、基板表面に対する角度が約60度の多結晶粒が形成されていることが分かる。

【0093】種々の領域についてこのような多結晶粒の基板表面に対する角度を測定した結果、50度から75度の範囲にわたっていることが確認された。

【0094】なお、図9に示した試料についてX線回折法により多結晶シリコン膜の配向性を調べたところ、ランダムな配向性であることが分かった。これは、図9に示した試料の多結晶シリコン膜は、柱状多結晶シリコン膜で一般に観察される(110)配向とは異なった優先配向を持っていることを示している。

【0095】なお、本実施形態では、大粒径多結晶シリコン膜をアモルファスシリコン膜を結晶化させることに

よって形成していたが、はじめから大粒径多結晶シリコン膜を堆積するようにしても良い。この場合、大粒径多結晶シリコン膜の成膜速度が小粒径多結晶シリコン膜の成膜速度よりも遅くなるような条件で成膜を行うようにする。

【0096】(第2の実施形態) まず、図14(a)に示すように、公知のウェル形成法及び素子分離法(STI)により、シリコン基板31にnウェル33a、pウェル33b及び素子分離絶縁32を形成する。

【0097】次に図14(b)に示すように、しきい値電圧を調整するためのチャンネルイオン注入を、nMOS領域に対しては B^+ を 50keV 、 $1 \times 10^{13}/\text{cm}^2$ の条件で、pMOS領域に対しては P^+ を 130keV 、 $1.5 \times 10^{13}/\text{cm}^2$ の条件でそれぞれ行い、シリコン基板31の表面に平均濃度で $1 \times 10^{17}/\text{cm}^3$ (ただし、表面濃度は $8 \times 10^{16}/\text{cm}^3$)のチャンネルイオン注入層34a、34bを形成する。

【0098】次に同図(b)に示すように、適当な前処理を施した後、厚さ3nmのゲート絶縁膜(シリコン酸化膜)35を熱酸化法により形成する。

【0099】次に全面に厚さ200nm程度の多結晶シリコン膜を堆積した後、これを光リソグラフィと異方性エッチングにより加工し、ゲート電極(多結晶シリコン膜)37を形成する。上記多結晶シリコン膜は、図14(b')に示すように、ゲート絶縁膜35との界面近傍では粒径が大きく、上部側では粒径が小さくなるように形成する。具体的には、第1の実施形態で述べた方法で形成する。

【0100】ゲート電極37のうち大粒径多結晶シリコン膜である部分の厚さを X_L 、小粒径多結晶シリコン膜である部分の厚さを X_S 、大粒径多結晶シリコン膜の平均粒径を R_L 、小粒径多結晶シリコン膜の平均粒径を R_S とすると、本例で用いたものは、 $X_L = X_S = 100\text{nm}$ 、 $R_S \leq 10\text{nm}$ 、 $R_L \geq 1\mu\text{m}$ である。なお、このようにした理由については後述する。

【0101】次に図15(c)に示すように、ゲート電極37の端部の電界集中を防止する等のために、厚さ3nm程度の後酸化膜38を形成する。

【0102】次に同図(c)に示すように、nMOS領域に対しては As^+ を 15keV 、 $5 \times 10^{14}/\text{cm}^2$ の条件で、pMOS領域に対しては BF_2^+ を 10keV 、 $5 \times 10^{14}/\text{cm}^2$ の条件でそれぞれイオン注入し、n型エクステンション領域39a及びp型エクステンション領域39bを形成する。

【0103】なお、n型エクステンション領域39a及びp型エクステンション領域39bへのイオン注入の打ち分けは、通常のレジストマスクを用いる方法で行う。

【0104】次に図15(d)に示すように、全面に厚さ70nm程度のシリコン窒化膜をCVD法によって堆積し、RIEによるエッチバック法によりゲート電極3

7の側壁に側壁絶縁膜40を形成する。

【0105】次に同図(d)に示すように、nMOS領域に As^+ を 50keV 、 $5 \times 10^{15}/\text{cm}^2$ の条件でイオン注入し、nMOS領域にソース・ドレイン領域41aを形成する。このとき、nMOS領域のゲート電極(多結晶シリコン膜)37にも As^+ がイオン注入される。これにより、nMOS領域のゲート電極(多結晶シリコン膜)37の低抵抗化が可能となる。

【0106】次に同図(d)に示すように、pMOS領域に B^+ を 7keV 、 $5 \times 10^{15}/\text{cm}^2$ の条件でイオン注入し、pMOS領域にソース・ドレイン領域41bを形成する。このとき、pMOS領域のゲート電極(多結晶シリコン膜)37にも B^+ がイオン注入される。これにより、pMOS領域のゲート電極(多結晶シリコン膜)37の低抵抗化が可能となる。

【0107】なお、n型及びp型イオンそれぞれの加速電圧及びドーズ量は、トランジスタの短チャネル効果抑制の観点、後で形成する $CoSi_2$ との界面コンタクト抵抗低減の観点から決められている。また、上記2つのイオン注入の順序は逆でも良い。

【0108】次にRTAを用いた 1035°C 、10秒の高温短時間熱処理により、ソース・ドレイン領域41a、41b及びゲート電極37に導入された不純物の活性化を行う。

【0109】なお、イオン注入を行うことによりゲート電極(多結晶シリコン膜)37の結晶性が壊れ、それがRTA処理によって再活性化される。そのため、第1の実施形態で示したような[211]方向の双晶面が部分的に壊れることがある。しかし、ゲート絶縁膜35に近い側では大粒径多結晶シリコン膜で、上部側では小粒径多結晶シリコン膜であるというゲート電極の構成そのものは変わらない。

【0110】SIMS分析を用いて、ゲート絶縁膜35との界面に近い側のRTA後の不純物分布を調べた。

【0111】その結果、nMOSTランジスタのソース・ドレイン領域41aでは、ピーク濃度 $4 \times 10^{20}/\text{cm}^3$ 、ピーク位置 $0.033\mu\text{m}$ (シリコン基板表面からの深さ)、 $2 \times 10^{17}/\text{cm}^3$ の濃度で定義した拡散層深さは $0.14\mu\text{m}$ であった。

【0112】一方、pMOSTランジスタのソース・ドレイン領域41bでは、ピーク濃度 $1.5 \times 10^{20}/\text{cm}^3$ 、ピーク位置 $0.027\mu\text{m}$ (シリコン基板表面からの深さ)、 $2 \times 10^{17}/\text{cm}^3$ の濃度で定義した拡散層深さは $0.19\mu\text{m}$ であった。

【0113】また、ゲート電極37の不純物濃度は、nMOSTランジスタ及びpMOSTランジスタともに、 $1.5 \times 10^{20}/\text{cm}^3$ のほぼ均一な濃度となっていた。

【0114】次に同図(d)に示すように、コンタクト抵抗を低減するために、ソース・ドレイン領域41a、

41b及びゲート電極37の表面にシリサイド膜(CoSi膜)42を形成する。この後は、通常の層間絶縁層間の形成工程、金属配線の形成工程、パシベーション膜の形成工程等(図示せず)を行う。

【0115】以上の本発明の方法にて作製したCMOSトランジスタの特性を、従来方法にて作製したCMOSトランジスタのそれとの比較で述べる。

【0116】まず、空乏化に関しては、図15に示すように、本発明の素子は、柱状多結晶シリコン膜を用いた従来の素子に比べて、空乏化率が向上していることは明らかである。

【0117】また、本発明の素子は、活性化のためのRTA処理直後の空乏化率と最終工程まで経た場合の空乏化率との差が小さい。すなわち、ゲート電極に柱状多結晶シリコン膜を用いた従来素子の場合に問題となる後熱工程による不純物の粒界への偏析・不活性化が、本発明の素子では抑制されている。

【0118】図17に、ゲート長0.15 μ mのpMOSTランジスタのしきい値電圧のばらつき(ワイブル度数分布)を示す。図から、本発明の素子は、従来の素子(ゲート電極としてアモルファスシリコン膜を再結晶化して得られた大粒径多結晶シリコン膜を用いたもの)に比べて、しきい値電圧のばらつきが非常に小さく、イオン注入時のチャネリングが十分に抑制されていることが分かる。

【0119】このように本発明を用いると、ゲート電極に柱状多結晶シリコン膜を用いた従来素子では実現できない空乏化率の改善と、ゲート電極にアモルファスシリコン膜を再結晶して得られた大粒径多結晶シリコン膜を用いた従来素子では実現できないイオン注入時のチャネリングの抑制とを、同時に達成することができる。

【0120】これは、ゲート電極として用いる多結晶シリコン膜の構造、すなわち、大粒径多結晶シリコン膜の厚さ X_L 、小粒径多結晶シリコン膜の厚さ X_S 、大粒径多結晶シリコン膜の平均粒径 R_L 、小粒径多結晶シリコン膜の平均粒径 R_S が、空乏化率の改善とチャネリングの抑制を同時に達成できるような値となっているためである。これらの値がどのようにして決定されるかについて以下述べる。

【0121】ゲート電極(多結晶シリコン膜)の空乏化は、主に大粒径多結晶シリコン膜の厚さ X_L と大粒径多結晶シリコン膜の平均粒径 R_L に関係している。すでに述べたように、空乏化率は、ゲート酸化膜との界面付近の多結晶シリコン電極の内部の電気的に活性化不純物の密度に依存する。図18に、ゲート酸化膜の膜厚(2nm, 3nm, 4nm)が異なる3つのMOSTランジスタのそれぞれについて、ゲート電極の空乏化率とゲート電極中の電気的に活性化不純物の密度との関係を調べた結果を示す。

【0122】MOSTランジスタの性能を考えると、空

乏化率90%以上が必要となるが、この値を与える電気的活性化不純物密度は、ゲート酸化膜の膜厚が3nmの場合には $7 \times 10^{19}/\text{cm}^3$ 以上となる。

【0123】一方、多結晶シリコン膜中の電気的活性化不純物密度は、粒界で偏析・不活性化が起こるため、導入不純物濃度よりも低くなる。偏析・不活性化する量は、単位面積あたりの粒界を構成する原子数で決まっている。

【0124】粒径が小さいほど粒界を構成する原子数は多くなるので、小粒径ほど偏析・不活性化が起こりやすく、電気的活性化不純物密度が小さくなる。これを定量的に示すと図19のようになる。図には、電気的活性化不純物密度の平均粒径依存性(不純物が $1.5 \times 10^{20}/\text{cm}^3$ の場合)が示してある。

【0125】図から、平均粒径が10 μ mよりも小さくなると、平均粒径に依存して電気的活性化不純物濃度が低下してくることが分かる。また、空乏化率90%以上(電気的活性化不純物密度 $7 \times 10^{19}/\text{cm}^3$ 以上)を達成するためには、平均粒径がおおよそ1 μ m程度以上($R_L \geq 1 \mu\text{m}$)でなければならないことが分かる。

【0126】ところで、どんなに電気的活性化不純物密度を高くしても、多結晶シリコンが半導体である以上、ゲート電極とシリコン基板との間に発生する電気力線の終端点は、ゲート電極とゲート酸化膜との界面からある広がりを持った領域に必ず存在する。

【0127】したがって、ゲート電極とゲート酸化膜との界面のみが電気的に活性化していれば良いのではなく、上記界面から有限な深さまでの領域のゲート電極が電気的に活性である必要がある。

【0128】これは電磁気学的に決まる量であり、0.5~0.6nmである。つまり、最低限0.5~0.6nmの範囲において、電気的活性化多結晶シリコン膜が形成されている必要がある。言い換えると、 $R_L \geq 1 \mu\text{m}$ を満たす大粒径多結晶シリコン膜がゲート酸化膜との界面から0.5~0.6nm以上の厚さで形成されている必要がある。マージンを見込むと、 $X_L \geq 1 \text{nm}$ が必要となる。

【0129】一方、イオン注入時のチャネリングの抑制は、多結晶シリコン膜の総膜厚 X_T 、小粒径多結晶シリコン膜の厚さ X_S 、及び小粒径多結晶シリコン膜の平均粒径 R_S と関係している。

【0130】多結晶シリコン膜の総膜厚 X_T の理論上的下限値は、チャネリングが起こらないと仮定した場合に不純物が所定範囲内に収まる膜厚と、大粒径多結晶シリコン膜の膜厚 X_L の下限値との総和によって決まる。上記不純物の分布は通常LSS理論式で記述される。LSS理論は、不純物拡散(チャネリング)が起こらないことを前提とした理論である。不純物拡散が起こらない現実のイオン注入としては、アモルファスシリコン膜又は微小粒径多結晶シリコン膜のイオン注入があげられ

る。。

【0131】チャネリングが全く起こらない場合には、投影飛程 R_p 、投影飛程分散を ΔR_p とすると、表面から $R_p + 6\Delta R_p$ の深さの領域内に99%以上の不純物が入る。ここで、 ΔR_p はLSS理論により R_p で表すことができる。通常使われる不純物としては最も重いAsの場合には、LSS理論により、 $R_p + 6\Delta R_p = 3.5R_p$ となる。また、 X_L の下限値は、上述の通り1nmであるから、 $X_L \geq 3.5R_p + 1\text{nm}$ となる。BやPはAsよりも軽いので、これらの不純物を用いた場合にも、上記下限値に係る不等式は満たされることになる。一方、 X_L の上限値は、下限値ほど一般性があるわけではないが、ゲート電極の加工の制御性によって概ね決まる。ゲート電極の寸法制御は、一般に、エッチングマスクとなるレジストの寸法制御性と、RIEの異方性(垂直性)とで決まる。RIEの垂直性が悪くなると、仮にレジストが狙い通りの寸法に仕上がっていたとしても、ゲート長 L_g は狙った寸法から外れることになる。

【0132】寸法変化量 dL は、図27に示すように、多結晶シリコン膜の膜厚 X_L の関数になる。したがって、変化量 dL をある範囲内に抑えようとすると、必然的に膜厚 X_L に制限が生じることになる。

【0133】一般に、ゲート長のばらつきの許容量はゲート長の10%程度であるから、 $0.1L_g \geq 2X_L \cdot \cos\theta$ となり、したがって $X_L \leq 0.1L_g / (2\cos\theta)$ となる。RIEの実力からみて、 θ として88度程度まで許容しなければならぬので、 $X_L \leq 1.4L_g$ となる。

【0134】以上まとめると、多結晶シリコン膜の総膜厚 X_L は、 $3.5R_p + 1\text{nm} \leq X_L \leq 1.4L_g$ となる。本例のように、 $L_g = 0.15\mu\text{m}$ 、 B^+ の加速電圧7keV、 As^+ の加速電圧50keVの場合には、 $X_L \geq 3.5R_p + 1\text{nm} = 0.12\mu\text{m}$ 、かつ、 $X_L \leq 0.21\mu\text{m}$ となる。そこで、本例では、上記範囲内の値として、 $X_L = 0.2\mu\text{m}$ としている。

【0135】小粒径多結晶シリコン膜の厚さ X_s に関しては、以下のように考えることができる。

【0136】まず、当然ながら、 $X_s \leq X_L$ となる。 X_L が下限値である場合には、 X_L の下限値の導出過程から明らかなように、 $X_s = X_L - 1\text{nm}$ となる。 X_L が厚くなるにしたがって X_s は薄くすることができ、 X_L の上限の膜厚を使う場合に X_s の下限値が決まる。

【0137】 $L_g = 0.15\mu\text{m}$ の場合を例にとり、図21及び図22を用いて、 X_s の下限値がどのようにして決まるかを説明する。

【0138】図20は、多結晶シリコン膜に B^+ を加速電圧7keV、ドーズ量 $5 \times 10^{14}/\text{cm}^2$ の条件でイオン注入したときのイオン注入後のBプロファイルを示している。

【0139】曲線aは多結晶シリコン膜が大粒径多結晶シリコン膜の単層構造Aの場合、曲線bは多結晶シリコン膜が大粒径多結晶シリコン膜(膜厚:200nm)/小粒径多結晶シリコン膜(膜厚:10nm)の積層構造Bの場合、曲線cは多結晶シリコン膜が大粒径多結晶シリコン膜(膜厚:160nm)/小粒径多結晶シリコン膜(膜厚50nm)の積層構造Cの場合のBプロファイルをそれぞれ示している。なお、小粒径多結晶シリコン膜は大粒径多結晶シリコン膜上に形成されている。

【0140】図から、単層構造Aの場合には $1 \times 10^{16}/\text{cm}^3$ 程度の量の不純物が基板に導入されるが、積層構造Cの場合には不純物の導入量が $1 \times 10^{15}/\text{cm}^3$ 程度まで低減されていることが分かる。また、単層構造Aの場合には、しきい値電圧のばらつきが100mV近かったが、積層構造Cの場合には、数mV程度までしきい値電圧のばらつきが低減されていることも確認された。

【0141】図22は、多結晶シリコン膜の総膜厚が210nmの場合に、小粒径多結晶シリコン膜の厚さ X_s を変化させたとき(大粒径多結晶シリコン膜の厚さ $X_L = 210\text{nm} - X_s$)の、シリコン基板の表面にまで突き抜ける不純物の濃度を示したものである。

【0142】突き抜け量が基板表面付近のチャネル不純物濃度($1 \times 10^{17}/\text{cm}^3$)の1/20程度より少なければ、しきい値電圧のばらつきが数mV程度に抑制されることはすでに確認されている。

【0143】したがって、不純物のピーク位置と同等の深さかそれ以上の深さまでに対応した厚さの小粒径多結晶シリコン膜があれば、突き抜け量が許容範囲内に入ることになる。

【0144】最後に、小粒径多結晶シリコン膜の粒径 R_s について述べる。小粒径多結晶シリコン膜の粒径は、ゲート長との関係で決められる。

【0145】例えば、大粒径多結晶シリコン膜の面方位とその上の小粒径多結晶シリコン膜の面方位とが揃ってしまう場合を考えると(ごく小さい確率であるが、このような状況が生じることがあり得る)、図22(a)の断面図に示すように、面方位が一致してしまう領域Aではチャネリングが生じてしまうことになる。

【0146】チャネリングが生じてても合、図22(b)に示すように、ゲート領域Gのチャネル長方向に沿って領域Aが部分的に存在する場合、しきい値電圧の変動は起こらない。

【0147】しかし、図22(c)に示すように、ゲート領域Gのチャネル長方向に沿って領域Aが全体に存在する場合、しきい値電圧は低下してしまう。したがって、 R_s はゲート長以下である必要がある。ただし、 R_s は平均粒径であり、実際には R_s より小さい粒径のものも存在するため、現実的には R_s をゲート長 L_g の1/3程度以下にする必要がある。

【0148】以上まとめると、

$$3.5R_p + 1\text{ nm} \leq X_r \leq 1.4L_g$$

$$X_r = X_s + X_l$$

$$X_l \geq 1\text{ nm}$$

$$X_s \geq R_p$$

$$R_l \geq 1\text{ }\mu\text{m}$$

$$R_s \leq (1/3)L_g$$

となる。

【0149】 R_p はゲート電極にイオン注入で導入した不純物の飛程（不純物のゲート電極の表面からのピーク位置に対応）である。すでに述べたように、通常、ゲート電極とソース・ドレイン領域には、同一のイオン注入工程で同時に不純物を導入する。そのため、 R_p は、ソース・ドレイン領域の不純物分布と小粒径多結晶シリコン膜の膜厚 X_s との関係でも議論することができる。

【0150】ソース・ドレイン領域に導入された不純物のピーク位置は、全工程を経た後でも、イオン注入直後の位置から動かない。そのため、最終的に作製されたMOSFETのソース・ドレイン領域中の不純物のピーク位置 X_p （S/D）は、飛程 R_p と一致する。したがって、 $X_s \geq X_p$ （S/D）の関係が成立する。

【0151】以上本発明の実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

【0152】

【発明の効果】本発明によれば、ゲート電極の空乏化と不純物のチャネリングが同時に抑制されるとともに、高周波特性の劣化やゲート電極加工時の問題を解消することができ、高性能のMIS型半導体装置を得ることができ

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るMISトランジスタの製造方法を示した図

【図2】本発明に係る多結晶シリコン膜の構造を模式的に示した図

【図3】多結晶シリコン膜の違いによってしきい値がばらつくことを示した図

【図4】多結晶シリコン膜の違いによって空乏化率が異なることを示した図

【図5】多結晶シリコン膜の違いによってドーパントの分布が異なることを示した図

【図6】多結晶シリコン膜の違いによってシートキャリア濃度が異なることを示した図

【図7】多結晶シリコン膜の堆積条件によって表面状態が異なることを示した図

【図8】多結晶シリコン膜の断面構造を示した顕微鏡写真

【図9】多結晶シリコン膜の断面構造を示した顕微鏡写真

【図10】多結晶シリコン膜の断面構造を示した顕微鏡写真

【図11】図8～図10の構造を模式的に示した図

【図12】多結晶シリコン膜の表面構造を模式的に示した図

【図13】多結晶シリコン膜中に酸素及び窒素のピークが存在しないことを示した図

【図14】本発明の第2の実施形態に係るMISトランジスタの製造方法を示した図

【図15】本発明の第2の実施形態に係るMISトランジスタの製造方法を示した図

【図16】多結晶シリコン膜の違いによって空乏化率が異なることを示した図

【図17】多結晶シリコン膜の違いによってMOSトランジスタのしきい値ばらつきが異なることを示した図

【図18】多結晶シリコン膜中の電気的活性な不純物濃度に対する空乏化率を示した図

【図19】多結晶シリコン膜の平均粒径に対する活性化濃度を示した図

【図20】多結晶シリコン膜の違いによって深さ方向の不純物濃度が異なることを示した図

【図21】小粒径多結晶シリコン領域の膜厚に対するシリコン基板表面に到達する不純物濃度を示した図

【図22】大粒径多結晶シリコンと小粒径多結晶シリコンの面方位が揃うことによってチャネリングが生じることを示した図

【図23】従来技術に係るMISトランジスタの製造方法等を示した図

【図24】従来技術に係るMISトランジスタの製造方法等を示した図

【図25】層間膜工程前と全工程終了後で多結晶シリコン膜の空乏化率が異なることを示した図

【図26】多結晶シリコンをアモルファスシリコンからの再結晶化によって形成したときの構造を模式的に示した図

【図27】多結晶シリコン膜からなるゲート電極を加工したときの寸法変動について示した図

【符号の説明】

11、31…シリコン基板

12、32…素子分離領域

13a、33a…nウェル

13b、33b…pウェル

14、35…ゲート絶縁膜

15、16、37…多結晶シリコン膜

17、39a、39b…エクステンション領域

18、40…側壁膜

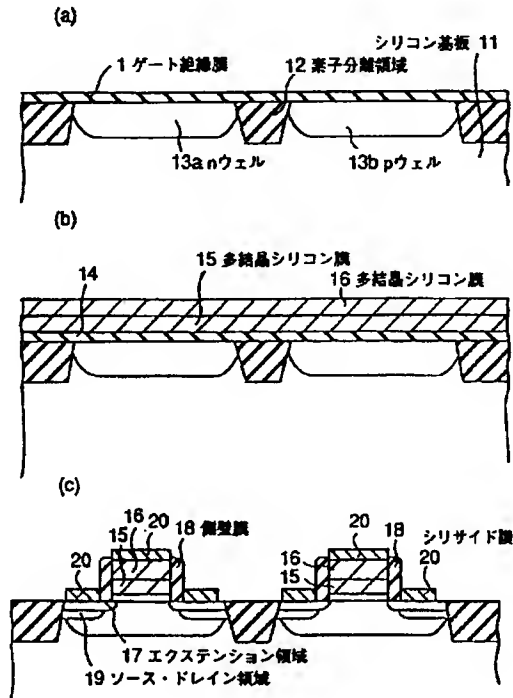
19、41a、41b…ソース・ドレイン領域

20、42…シリサイド膜

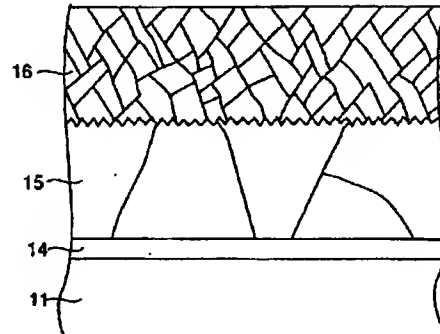
34a、34b…チャネルイオン注入層

38…後酸化膜

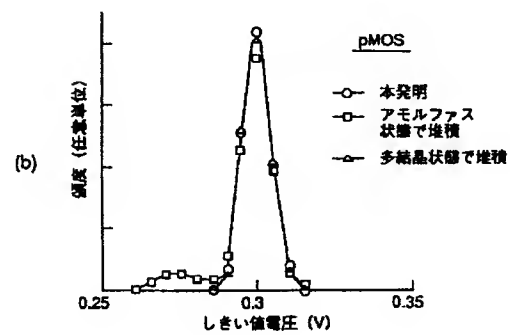
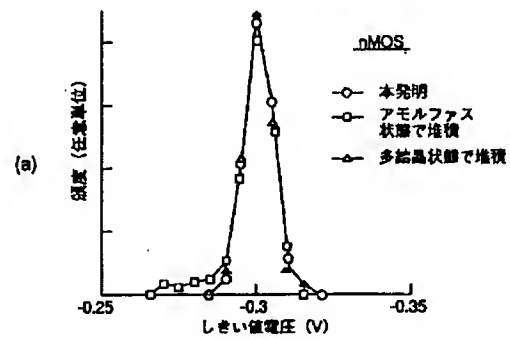
【図1】



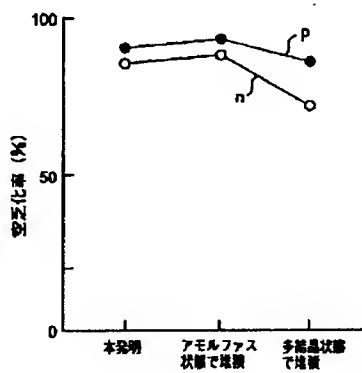
【図2】



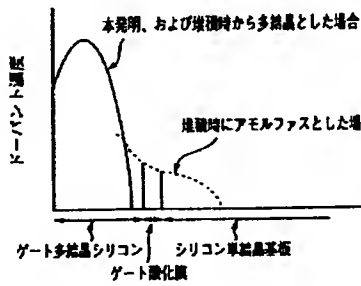
【図3】



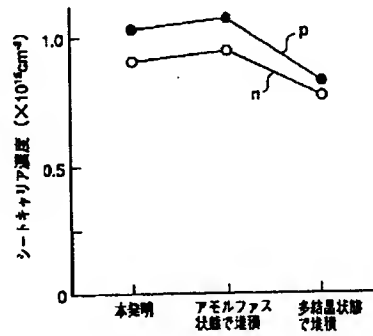
【図4】



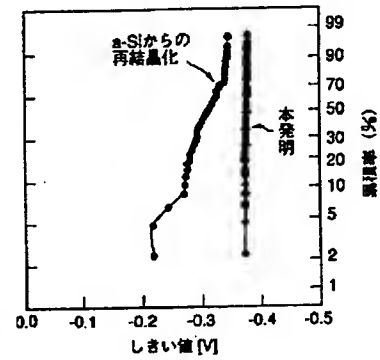
【図5】



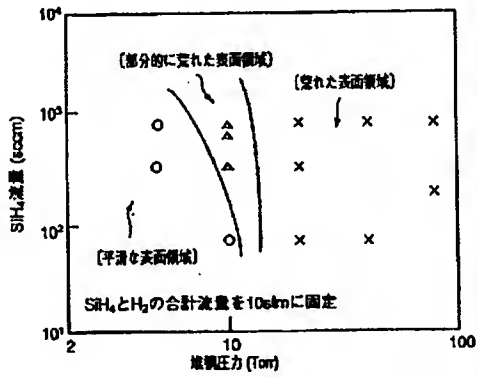
【図6】



【図17】



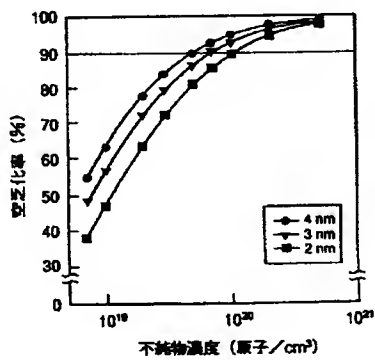
【図7】



【図8】



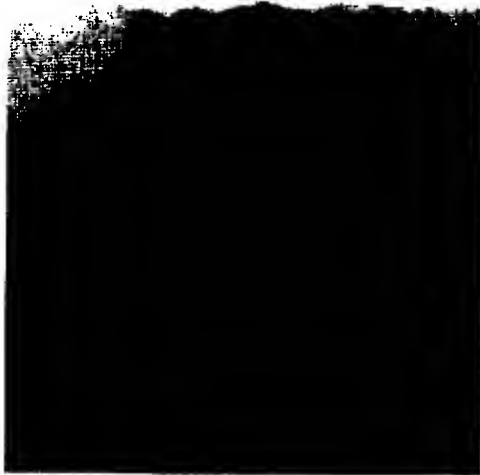
【図18】



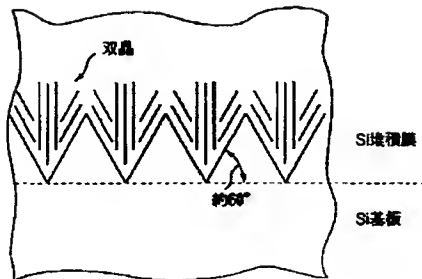
【図9】



【図10】

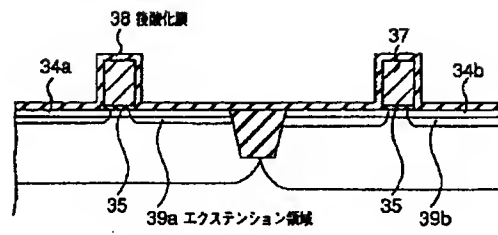


【図12】

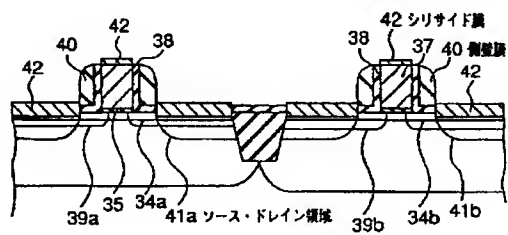


【図15】

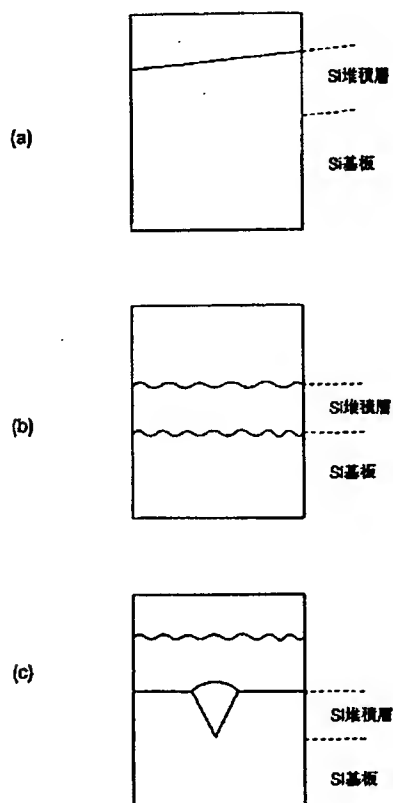
(c)



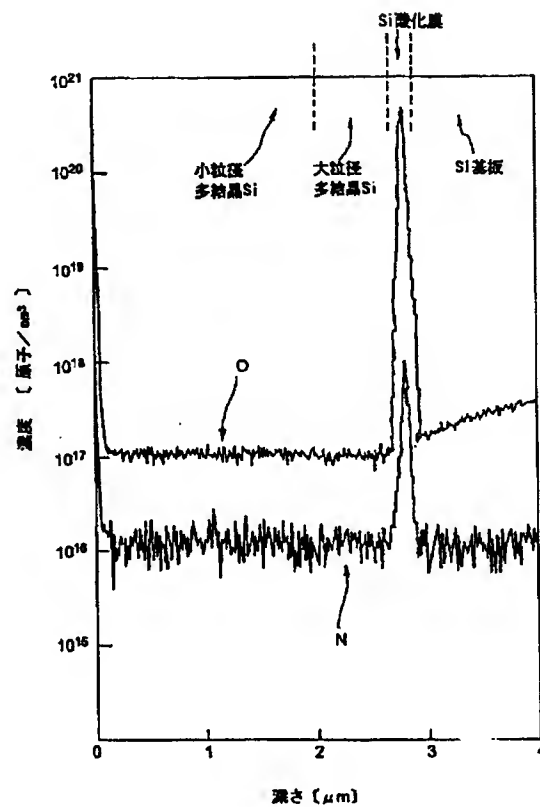
(d)



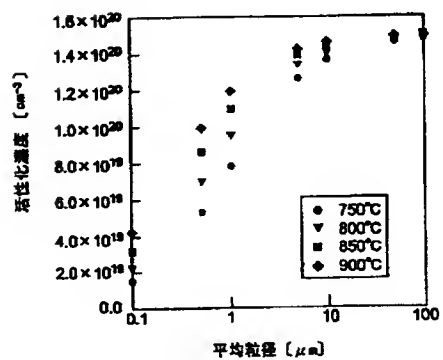
【図11】



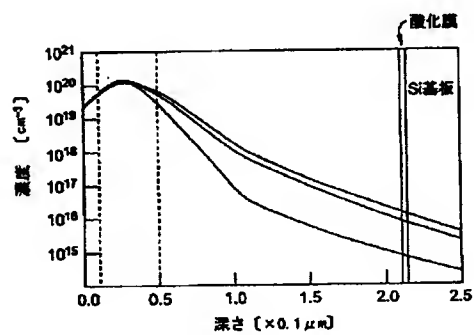
【図13】



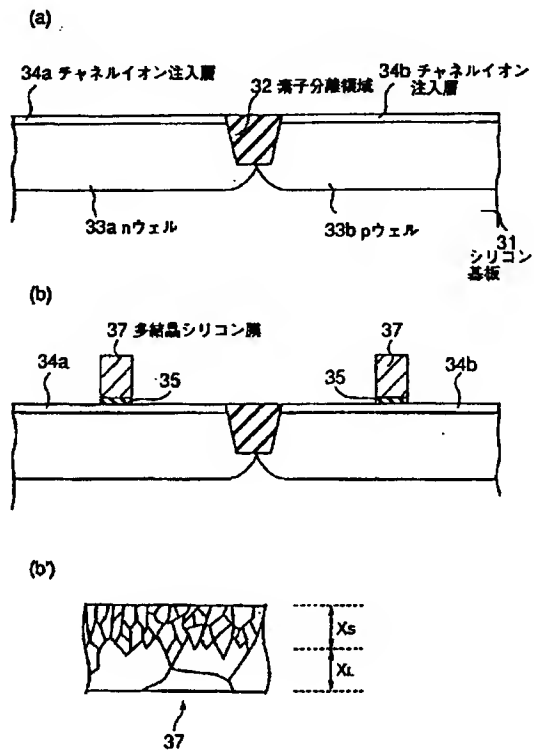
【図19】



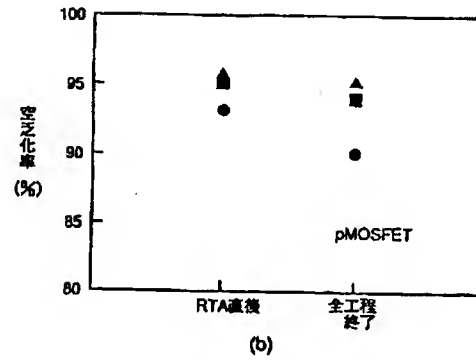
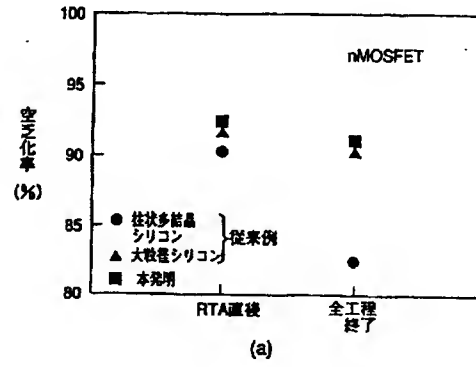
【図20】



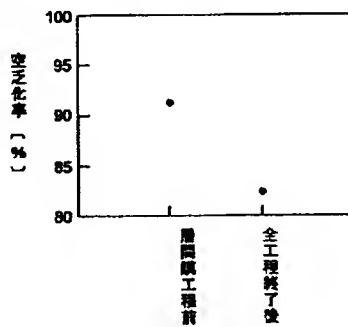
【図14】



【図16】



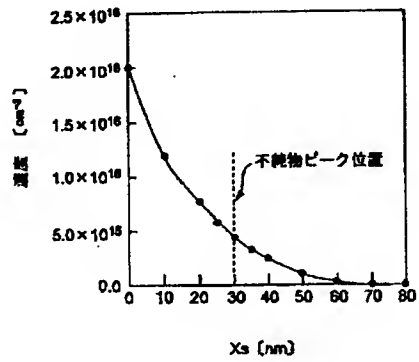
【図25】



【図26】

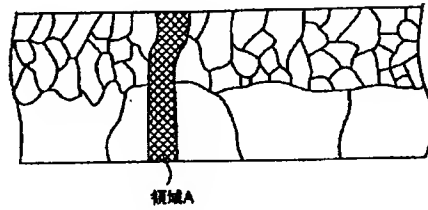


【図21】



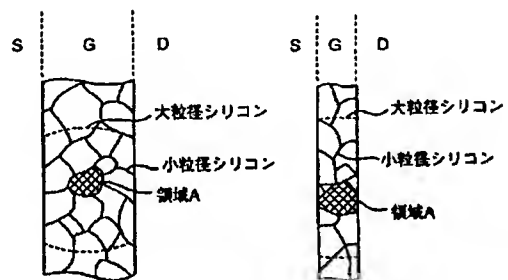
【図22】

(a)



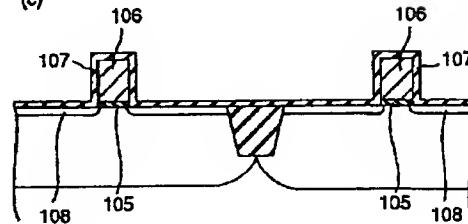
(b)

(c)

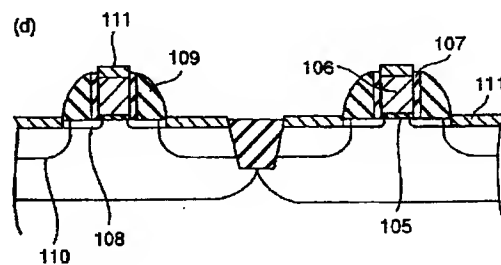


【図24】

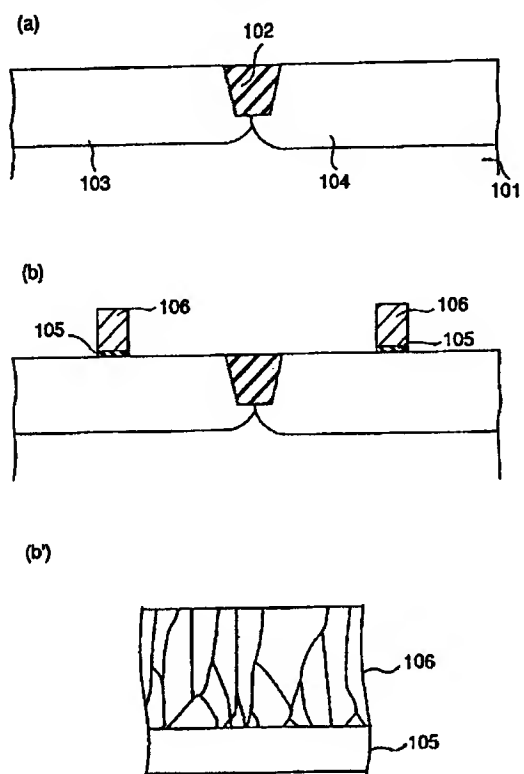
(c)



(d)



【図23】



【図27】

